



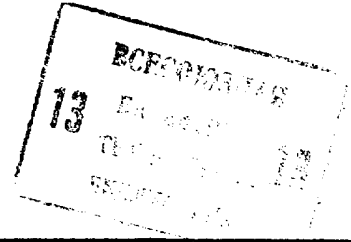
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1231498 A1

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3804644/24-24
- (22) 22.10.84
- (46) 15.05.86. Бюл. № 18
- (71) Минский радиотехнический институт
- (72) А.И.Нозик и А.А.Шостак
- (53) 681.325(088.8)
- (56) Карцев М.А. Арифметика цифровых машин. М.: Наука, 1969, с. 532-536.  
IEEE. Trans. Comput. 1972, V. 21, № 1, pp. 42-55. fig. 1, 2, 11. Stefanelli Renato. A suggestion for a high-speed parallel binary divider. Авторское свидетельство СССР № 1196853, кл. G 06 F 7/52, 1984.

- (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ
- (57) Изобретение относится к вычислительной технике и может быть использовано для быстрого вычисления частного двух чисел. Целью изобретения является повышение быстродействия устройства. Устройство содержит умножители и сумматоры, образующие треугольную матрицу, преобразователи двоичного кода в обратный, вычитатели и преобразователь избыточного кода в двоичный с соответствующими связями. 1 ил.

(19) SU (11) 1231498 A1

Изобретение относится к вычислительной технике и может быть использовано для быстрого выполнения операции деления.

Цель изобретения - повышение быстродействия устройства.

На чертеже приведена структурная схема устройства для деления (рассмотрен случай, когда  $n=p=8$ ,  $p$  - число избыточных цифр частного).

Устройство для деления содержит двадцать один умножитель 1-21, двадцать один сумматор 22-42, шесть преобразователей двоичного кода в обратный 43-48, четыре вычитателя 49-52, преобразователь 53 избыточного кода в двоичный, разрядные входы делимого 54 и делителя 55 устройства, выходы 56 результата устройства.

Устройство для деления работает следующим образом.

Пусть делимое и делитель - нормализованные двоичные дроби соответственно  $C=0, C_1 C_2 C_3 C_4 C_5 C_6 C_7 C_8$  и  $A=0, a_1 a_2 a_3 a_4 a_5 a_6 a_7 a_8$ . Значение их частного представляется в виде:

$$Q = \frac{C}{A} = q_0, q_1 q_2 q_3 q_4 q_5 q_6 q_7$$

где  $q_i$  -  $i$ -ая избыточная цифра частного  $Q$  ( $0 \leq i \leq 7$ ).

Из условия  $A \cdot Q = C$  определяются значения избыточных цифр частного. Для этого значения сумм соответствующих разрядных произведений произведения  $A \cdot Q$  приравниваются к значениям равновесовых разрядов делимого  $C$ , представленного в устройстве следующим образом:

$$C = 0, C_1 C_2 C_3 C_4 C_5 C_6 C_7 C_8 = C_1 \cdot 2^1 + C_2 \cdot 2^2 + 0 \cdot 2^3 + (2C_3 + C_4) \cdot 2^4 + 0 \cdot 2^5 + (2C_5 + C_6) \cdot 2^6 + 0 \cdot 2^7 + (2C_7 + C_8) \cdot 2^8.$$

В результате получим следующую систему уравнений:

$$\begin{aligned} a_1 q_0 &= C_1; \\ a_1 q_1 + a_2 q_0 &= C_2; \\ a_1 q_2 + a_2 q_1 + a_3 q_0 &= 0; \\ a_1 q_3 + a_2 q_2 + a_3 q_1 + a_4 q_0 &= 2C_3 + C_4; \\ a_1 q_4 + a_2 q_3 + a_3 q_2 + a_4 q_1 + a_5 q_0 &= 0; \\ a_1 q_5 + a_2 q_4 + a_3 q_3 + a_4 q_2 + a_5 q_1 + a_6 q_0 &= 2C_5 + C_6; \\ a_1 q_6 + a_2 q_5 + a_3 q_4 + a_4 q_3 + a_5 q_2 + a_6 q_1 + a_7 q_0 &= 0; \\ a_1 q_7 + a_2 q_6 + a_3 q_5 + a_4 q_4 + a_5 q_3 + a_6 q_2 + a_7 q_1 + a_8 q_0 &= 2C_7 + C_8. \end{aligned}$$

С учетом того, что  $a_1 = C_1 = 1$ , выражения для определения значений избыточных цифр частного  $Q$  принимают вид:

$$\begin{aligned} q_0 &= 1; \\ q_1 &= C_2 - a_2; \\ q_2 &= -a_3 - a_2 q_1; \\ q_3 &= 2C_3 + C_4 - a_4 - a_3 q_1 - a_2 q_2; \\ q_4 &= -a_5 - a_4 q_1 - a_3 q_2 - a_2 q_3; \\ q_5 &= 2C_5 + C_6 - a_6 - a_5 q_1 - a_4 q_2 - a_3 q_3 - a_2 q_4; \\ q_6 &= -a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - a_2 q_5; \\ q_7 &= 2C_7 + C_8 - a_8 - a_7 q_1 - a_6 q_2 - a_5 q_3 - a_4 q_4 - a_3 q_5 - a_2 q_6. \end{aligned}$$

В устройстве (см. чертеж) избыточные цифры результата формируются в соответствии с приведенными выражениями. Так, цифра  $q_1$  образуется на выходе вычитателя 49, вход уменьшаемого которого подключен к входу делимого устройства, на который подается значение разряда  $C_2$  делимого  $C$ , а вход вычитаемого соединен с первым входом делителя устройства, на который поступает значение разряда  $a_2$  делителя  $A$ . Цифра  $q_2$  формируется на выходе преобразователя 44. С помощью умножителя 1 вычисляется значение  $a_2 q_1$ , которое далее поступает на первый вход сумматора 22, на второй вход которого подается значение разряда  $a_3$  делителя  $A$  со входа делителя устройства. На выходе сумматора 22 образуется результат  $a_3 + a_2 q_1$ , который только знаком отличается от соответствующего результата  $q_2$  в приведенной системе уравнений. Преобразователь 44 изменяет знак этого результата на противоположный, в результате на выходе формируется значение второй избыточной цифры результата  $q_2 = -a_3 - a_2 q_1$ . Цифра  $q_3$  формируется на выходе сумматора 28 следующим образом. С помощью умножителя 2 вычисляется значение  $-a_3 q_1$ , которое далее поступает на первый вход сумматора 23, на второй вход которого подается значение  $2C_3 + C_4 - a_4$  с выхода вычитателя 50, на вход уменьшаемого которого поданы соответственно значения разрядов  $C_3$  и  $C_4$  делимого, а на вход вычитаемого этого вычитателя подано значение разряда  $a_4$  со входа делителя устройства. На выходе сумматора 23 формируется значение  $2C_3 + C_4 - a_4 - a_3 q_1$ , которое поступает на второй вход сумматора 28, на первый вход которого поступает значение произведения  $-a_2 q_2$  с выхода умножителя 7. Таким образом, на выходе сумматора 28 образуется значение цифры  $q_3 = 2C_3 + C_4 - a_4 - a_3 q_1 - a_2 q_2$ . Подобным образом вычисляются

в устройстве значения и других избыточных цифр результата  $q_4, q_5, q_6, q_7$ . Значение цифры  $q_0$  результата всегда равно единице, а поэтому оно явно в устройстве не формируется. Но ее значение обязательно учитывается преобразователем 53 избыточного кода в двоичный при формировании окончательного значения частного в простом двоичном коде  $Q = q'_0, q'_1, q'_2, q'_3, q'_4, q'_5, q'_6, q'_7$  на выходах 56 устройства.

Если разрядность делимого и делителя, поступающих на входы устройства, нечетна (например  $n=r=7$ ), то в этом случае делимое  $S$  в устройстве представляется следующим образом.

$$S = 0, S, C_2, C_3, C_4, C_5, C_6, C_7 = C_1 \cdot 2^{-1} + C_2 \cdot 2^{-2} + 0 \cdot 2^{-3} + (2C_3 + C_4) \cdot 2^{-4} + 0 \cdot 2^{-5} + (2C_5 + C_6) \cdot 2^{-6} + C_7 \cdot 2^{-7}.$$

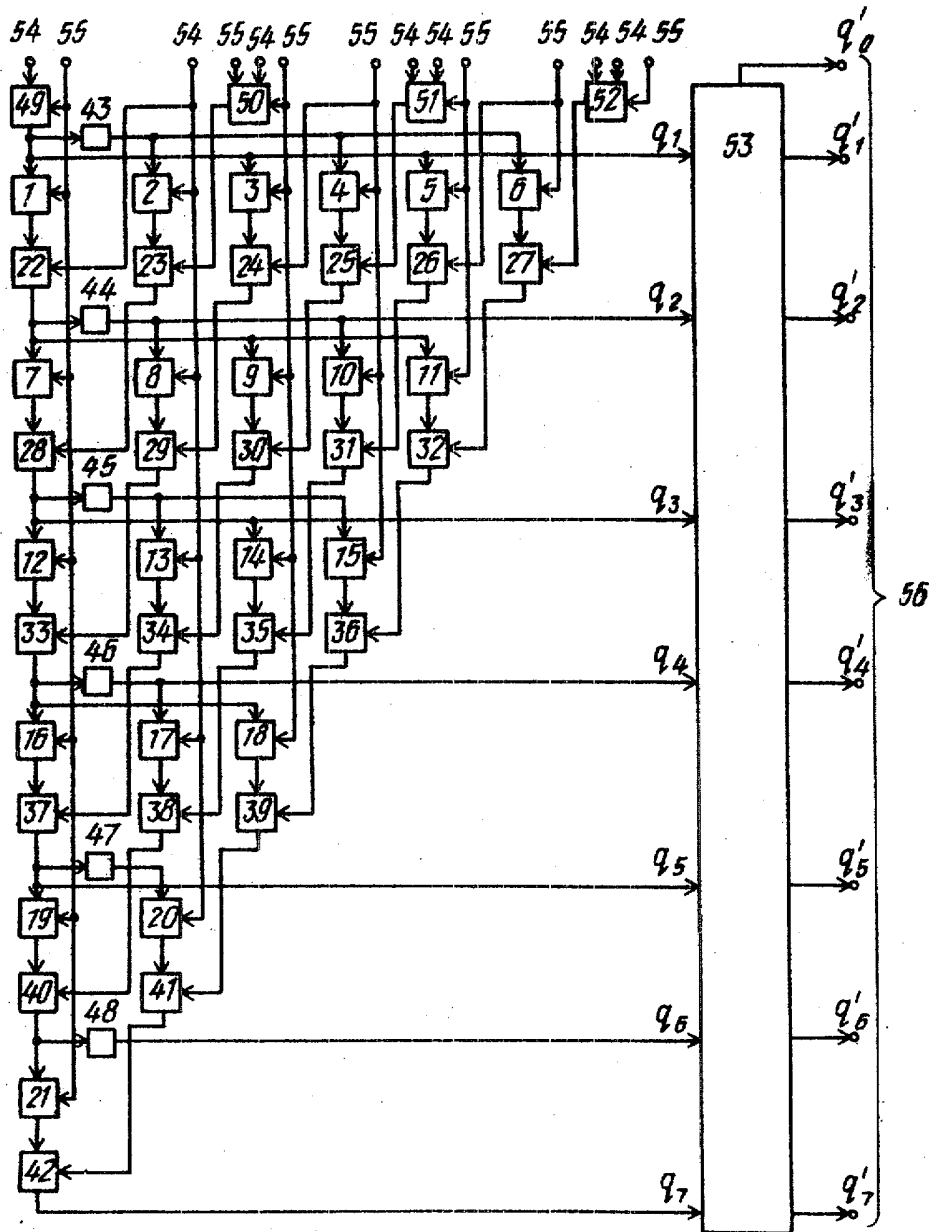
Это влияет на выражение для определения последней цифры частного  $q_6$ , которое в отличие от приведенного выражения для случая четной разрядности операндов, будет иметь вид

$$q_6 = C_7 - a_7 - a_6 q_1 - a_5 q_2 - a_4 q_3 - a_3 q_4 - a_2 q_5.$$

### Ф о р м у л а и з о б р е т е н и я 30

Устройство для деления, содержащее вычитатель, треугольную матрицу из  $(n-2)(n-1)/2$  сумматоров и  $(n-2) \times (n-1)/2$  умножителей ( $n$  - разрядность 35 операндов), причем  $i$ -я строка матрицы ( $i=1, \dots, n-2$ ) содержит  $(n-i-1)$  сумматоров и  $(n-i-1)$  умножителей ( $i=1 \dots n-2$ ),  $(n-2)$  преобразователей двоичного кода в обратный и преоб- 40 разователь избыточного кода в двоичный, входы которого соединены с выходами результата устройства, выход первого вычитателя соединен с входом первого преобразователя двоичного кода в обратный, с первым входом преобразователя избыточного кода в двоичный и первыми входами  $(1, \mathcal{P})$ -х умножителей ( $\mathcal{P}$  - номера нечетных столбцов матрицы), первые входы  $(1, 50$

$m$ )-х умножителей ( $m$  - номера четных столбцов матрицы) соединены с выходом первого преобразователя двоичного кода в обратный, выход  $(i, j)$ -го умножителя ( $j=1 \dots n-2$ ) соединен с входом первого слагаемого соответствующего  $(i, j)$ -го сумматора, выход  $(i, 1)$ -го сумматора, кроме  $(n-2, 1)$ -го сумматора, соединен с первыми входами  $(i+1, \mathcal{P})$ -х умножителей и входом  $r$ -го преобразователя двоичного кода в обратный ( $r=2, \dots, n-2$ ) соответственно, выход которого соединен с первыми входами  $(r, m)$ -х умножителей, выход  $(n-2, 1)$ -го сумматора соединен с  $(n-1)$ -м входом преобразователя избыточного кода в двоичный, четные входы которого соединены соответственно с выходами четных преобразователей двоичного кода в обратный, а нечетные входы - с выходами  $(r, 1)$ -х сумматоров, выход  $(i, k)$ -го сумматора ( $k=2, \dots, n-2$ ) соединен с входом второго слагаемого  $(i+1, k-1)$ -го сумматора соответственно, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, в него введены  $(n/2-1)$  вычитателей при  $n$  - четном (либо]  $n/2$ [-х вычитателей при  $n$  - нечетном), причем вход уменьшаемого первого вычитателя соединен с входом первого разряда делимого устройства, вход  $j$ -го разряда делителя которого соединен с вторыми входами  $(i, j)$ -х умножителей, вход  $\mathcal{P}$ -го разряда делителя устройства соединен с входом вычитаемого соответствующего вычитателя, вход  $m$ -го разряда делителя устройства соединен с входами второго слагаемого  $(1, \mathcal{P})$ -х сумматоров соответственно, входы второго слагаемого  $(1, m)$ -х сумматоров соединены с выходами  $(n/2)$ -х вычитателей при  $n$  - четном (либо]  $n/2+1$ [-х вычитателей, при  $n$  - нечетном), входы  $t$ -го и  $(t+1)$ -го разрядов делимого устройства ( $t=2 \dots n-2$ ) соединены с первым и вторым входами уменьшаемого  $S$ -х вычитателей ( $S=2 \dots n/2$ ).



Редактор И.Сегляник      Составитель Е.Захарченко      Техред И.Гайдош      Корректор М.Максимишинец

Заказ 2652/52      Тираж 671      Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4